

Partial English Translation of

LAID OPEN unexamined

JAPANESE PATENT APPLICATION

Publication No. 11-067904

[0028] to [0046]

[0028] [Embodiment 1] A n-channel MISFET fabrication method according to one embodiment of the present invention will be described with reference to Figures 1 to 12.

[0029] Firstly, as shown in Figure 1, a silicon oxide film 2 and a silicon nitride film 3 are sequentially formed on/over the surface of a semiconductor substrate 1 made of a p-type silicon monocrystal, and then, the silicon nitride film 3, the silicon oxide film 2, and the semiconductor substrate 1 in an isolation region are sequentially etched, using a patterned photoresist as a mask, so that a shallow trench 4 having a depth of approximately 350 nm is formed in the semiconductor substrate 1.

[0030] Further, after removing the photoresist, the semiconductor substrate 1 is subjected to thermal treatment, whereby a silicon oxide film (not shown in the drawing) having a thickness of 10 to 20 nm is formed on the surface of the semiconductor substrate 1 in which the shallow trench 4 is formed. Next, after a silicon oxide film 5 is deposited over the semiconductor substrate 1 by plasma CVD using TEOS (Tetra Ethyl Ortho Silicate; Si (OC₂H₅)₄) gas as a raw material, a silicon nitride film 6 is deposited over the semiconductor substrate 1, and then, the silicon nitride film 6 is left on the silicon oxide film 5 in the shallow trench 4 of a comparatively large area, using a patterned photoresist as a mask.

[0031] Then, as shown in Figure 2, a buried shallow trench isolation is provided by planarizing the surface of the silicon oxide film 6 by CMP (Chemical Mechanical Polishing). Herein, the provision of the silicon nitride film 6 enables to bury the silicon oxide film 5 having a substantially fixed thickness into the shallow trench 4 having a large area and the shallow trench 4 having a small area.

[0032] Next, after a threshold voltage control layer 7 is formed by

implanting a p-type impurity (for example, boron (B)) into the surface portion of the semiconductor substrate 1 to be the channel region of the MISFET, a gate insulating film 8 is formed over the surface of the semiconductor substrate 1, and then, a polysilicon film 9 and a silicon nitride film 10, in which P is doped, are sequentially deposited over the semiconductor substrate 1 by CVD.

[0033] Thereafter, as shown in Figure 3, the silicon nitride film 10 and the polysilicon film 9 are sequentially etched, using a patterned photoresist as a mask, so that gate electrodes 11a and 11b made of the polysilicon film 9 are formed. The silicon nitride film 10 is provided for ensuring isolation between the gate electrodes 11a, 11b and a contact hole which is to be formed later by self-alignment contact.

[0034] Further, an n-type impurity (for example, phosphorus (P)) is implanted into the semiconductor substrate 1, using the silicon nitride film 10 and the gate electrode 11a as masks, to form a low concentration n⁻-type semiconductor region 12 constituting a part of the source/drain region of the n-channel type MISFET. Then, a silicon nitride film 13 is deposited over the semiconductor substrate 1 by CVD. The thickness of the silicon nitride film 13 is, for example, 50 to 200 nm.

[0035] Moreover, as shown in Figure 4, after the silicon nitride film 13 is entirely etched by anisotropic RIE, to form a sidewall spacer 14 at either side wall of the gate electrodes 11a and 11b, an n-type impurity (for example, arsenic (As)) is implanted into the semiconductor substrate 1, using the silicon nitride film 10, the gate electrode 11a, and each sidewall spacer 14 as masks, to form a high concentration n⁺-type semiconductor region 15 constituting another part of the source/drain region of the n-channel type MISFET. The diffusion depth of the n⁺-type semiconductor region 15 is approximately 0.1 μ m.

[0036] Then, as shown in Figure 5, after a silicon nitride film 16 is deposited over the semiconductor substrate 1 by CVD, a bottom anti-reflective coating (BARC) 17 is applied over the semiconductor substrate 1 to bury the space between the gate electrodes 11a and 11b adjacent to each other. The thickness of the silicon nitride film 16 is, for example, 10 to 100 nm. Next, a photoresist 18 applied over the semiconductor substrate 1 is patterned, thereby forming a hole pattern 19

in the photoresist 18 over the gate electrode 11b, to which a wiring layer is to be connected later.

[0037] Next, as shown in Figure 6, the BARC 17, the silicon nitride film 16, and the silicon nitride film 10 on/over the gate electrode 11b are sequentially etched, using the patterned photoresist 18 as a mask, so that the gate electrode 11b is exposed. In this etching, if a gaseous mixture of CHF₃ and CF₄ is employed in a narrow electrode RIE system, the etch rate of the BARC 17 is nearly equal to the etch rate regarding the silicon nitride films 16 and 10.

[0038] Then, after the photoresist 18 and the BARC 17 are removed by ashing with an oxide (O₂) gas, as shown in Figure 7, an interlayer insulating film 20 is formed over the semiconductor substrate 1, and then, a photoresist 21 is patterned in order to process the interlayer insulating film 20, as shown in Figure 8. As the interlayer insulating film 20, a three-layered insulating film is employed which is obtained by forming a silicon oxide film by plasma CVD using TEOS as a source, applying SOG (Spin On Glass) thereon, etching back the SOG by RIE, to planarize the surface thereof, and finally forming a silicon oxide film by plasma CVD using TEOS as the source.

[0039] Thereafter, as shown in Figure 9, the interlayer insulating film 20 is etched, using the patterned photoresist 21 as a mask, the upper part of a contact hole 22a is formed above the n⁺-type semiconductor region 15, and a contact hole 22b is formed so as to be in contact with the gate electrode 11b. If a gaseous mixture of C₄F₈ and CO is employed in a narrow electrode RIE system, the etching to the interlayer insulating film 20 stops nearly at the silicon nitride film 16 provided over the n⁺-type semiconductor region 15, the gate electrode 11b formed of the polysilicon film 9, and the sidewall spacers 14 formed of the silicon nitride film 13, due to difference in etching selectivity.

[0040] When forming the upper part of the contact hole 22a above the n⁺-type semiconductor region 15, the upper part of the contact hole 22a can be electrically isolated without fail from the gate electrode 11a by the silicon nitride film 10 on the gate electrode 11a and each sidewall spacer 14 formed of the silicon nitride film 13.

[0041] Further, as shown in Figure 10, the semiconductor substrate 1 is

subjected to ashing with O₂ gas, to remove the photoresist 21 and the deposited materials at the upper part of the contact hole 22a and the bottom of the contact hole 22b. Next, as shown in Figure 11, the silicon nitride film 16 at the bottom of the upper part of the contact hole 22a is etched to form the lower part of the contact hole 22a, whereby the contact hole 22a in contact with the n⁺-type semiconductor region 15 is formed.

[0042] The silicon nitride film 14 is subjected to, for example, isotropic etching using a gaseous mixture of CHF₃ and O₂ in a minor damage down flow asher, or to anisotropic etching using a gaseous mixture of CHF₃ and O₂ in a narrow electrode RIE etching system. In this time, the silicon nitride film 16 can be selectively removed with regard to the silicon oxide film 5 serving as the buried shallow trench isolation.

[0043] If the silicon nitride film 16 has a thickness of 100 nm and is over-etched by 50 % in amount and the etching selectivity of the silicon nitride film 16 to the silicon oxide film 5 is 2, the silicon oxide film 5 is scraped to 0.25 μm, which is shallower than 0.1 μm, the diffusion depth of the n⁺-type semiconductor region 15.

[0044] Next, as shown in Figure 12, a conductive film 23 such as a polysilicon film or a tungsten film is deposited over the semiconductor substrate 1, and then, the surface of the conductive film 23 is planarized by CMP, whereby the conductive film 23 is buried into the contact holes 22a and 22b. Further, a wiring layer, which is not shown in the drawing, is formed so as to be in contact with the conductive film 23.

[0045] As described above, in the Embodiment 1, the silicon nitride films 10 and 16 on/over the gate electrode 11b are removed to expose the gate electrode 11b before the contact hole 22a in contact with the n⁺-type semiconductor region 15 and the contact hole 22b in contact with the gate electrode 11b are formed. In this association, the contact hole 22a is formed by sequentially etching the interlayer insulating film 20 and the silicon nitride film 16 over the n⁺-type semiconductor region 15, and the contact hole 22b is formed by etching the interlayer insulating film 20 over the gate electrode 11b. Therefore, in forming the contact hole 22a in contact with the n⁺-type semiconductor region 15, even if the buried shallow trench isolation is not aligned with the contact hole 22a, the silicon nitride film 16 at the bottom of the contact hole 22a is not

necessary to be over-etched, and hence, the silicon oxide film 5, which serves as the buried shallow trench isolation at the edge of the isolation region, is not scraped. Furthermore, in forming the contact hole 22b in contact with the gate electrode 11b, even if the gate electrode 11b is not aligned with the contact hole 22b, the silicon oxide film 5, which serves as the buried shallow trench isolation, is hard to be scraped since the side faces of the gate electrode 11b are covered with the silicon nitride films 14 and 16.

[0046] Moreover, when the silicon nitride films 10 and 16 on/over the gate electrode 11b are removed, even if the hole pattern 19 of the photoresist 18 is not aligned with the gate electrode 11b, the silicon oxide film 5, which serves as the buried shallow trench isolation, is hard to be scraped since the gate electrode 11b is covered with the BARC, which is etched at approximately the equal rate as the rate at which the silicon nitride films 10 and 16 are etched.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-067904
 (43)Date of publication of application : 09.03.1999

(51)Int.CI. H01L 21/768
 H01L 21/28
 H01L 29/78
 H01L 21/336

(21)Application number : 09-220527

(71)Applicant : HITACHI LTD

(22)Date of filing : 15.08.1997

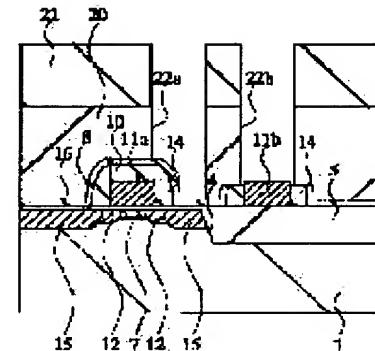
(72)Inventor : ENOMOTO HIROYUKI
 NAKAMURA MORIO
 OTSUKA FUMIO

(54) MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a technique, with which the reliability of a semiconductor integrated circuit device can be improved.

SOLUTION: When a contact hole 22a, which comes in contact with an n+-type semiconductor region 15, and the contact hole 22b, which comes in contact with a gate electrode 11b are formed at the same time, the silicon nitride films 10 and 16 on the gate electrode 11b have been already removed, and since the silicon nitride film 16 on the bottom of the contact hole 22a is not overetched more than is necessary, a silicon oxide film 5, which constitutes the embedded type shallow groove isolation on the edge part of an element isolation region is hardly scraped off, if matching deviation is generated on the embedded type shallow groove isolation and the contact hole 22a.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-67904

(43)公開日 平成11年(1999)3月9日

(51)Int.Cl.⁶
H 0 1 L 21/768
21/28
29/78
21/336

識別記号

F I
H 0 1 L 21/90
21/28
29/78
3 0 1 P
3 0 1 X

C
L

審査請求 未請求 請求項の数9 O.L (全12頁)

(21)出願番号 特願平9-220527

(22)出願日 平成9年(1997)8月15日

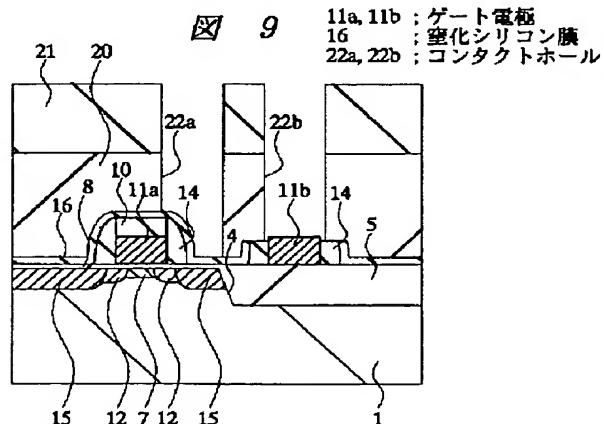
(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72)発明者 横本 裕之
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内
(72)発明者 中村 守男
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内
(72)発明者 大塚 文雄
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内
(74)代理人 弁理士 筒井 大和

(54)【発明の名称】 半導体集積回路装置の製造方法

(57)【要約】

【課題】 半導体集積回路装置の信頼度を向上することができる技術を提供する。

【解決手段】 n⁺型半導体領域15に接するコンタクトホール22aおよびゲート電極11bに接するコンタクトホール22bを同時に形成する際、すでにゲート電極11b上の窒化シリコン膜16、10が除去されており、コンタクトホール22aの底の窒化シリコン膜16を必要以上にオーバーエッチングしなくてもよいので、埋め込み型浅溝アイソレーションとコンタクトホール22aに合わせずれが生じても、素子分離領域の端部の埋め込み型浅溝アイソレーションを構成する酸化シリコン膜5が削れにくくなる。



【特許請求の範囲】

【請求項1】 MISFETのソース領域またはドレン領域に接する第1のコンタクトホールおよび他のMISFETのゲート電極に接する第2のコンタクトホールを形成する半導体集積回路装置の製造方法であって、(a). 半導体基板上に導電膜および絶縁膜を順次堆積した後、前記絶縁膜および前記導電膜を順次エッチングして、前記導電膜によって構成されるゲート電極を形成する工程と、(b). 前記第2のコンタクトホールを形成する領域の前記絶縁膜をエッチングして前記ゲート電極を露出させる工程と、(c). 前記半導体基板上に層間絶縁膜を形成した後、前記層間絶縁膜をエッチングして、前記第1のコンタクトホールおよび前記第2のコンタクトホールを同時に形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項2】 MISFETのソース領域またはドレン領域に接する第1のコンタクトホールおよび他のMISFETのゲート電極に接する第2のコンタクトホールを形成する半導体集積回路装置の製造方法であって、(a). 半導体基板上に導電膜および第1の絶縁膜を順次堆積した後、前記第1の絶縁膜および前記導電膜を順次エッチングして、前記導電膜によって構成されるゲート電極を形成する工程と、(b). 前記半導体基板上に第2の絶縁膜を堆積した後、前記第2の絶縁膜を全面エッチングして、前記ゲート電極の側壁に前記第2の絶縁膜によって構成されるサイドウォールスペーサを形成する工程と、(c). 前記半導体基板上に第3の絶縁膜を堆積し、続いて前記半導体基板上に反射防止膜を塗布した後、前記第2のコンタクトホールを形成する領域の前記反射防止膜、前記第3の絶縁膜および前記第1の絶縁膜を順次エッチングして前記ゲート電極を露出させ、次いで、前記反射防止膜を除去する工程と、(d). 前記半導体基板上に層間絶縁膜を形成した後、前記層間絶縁膜をエッチングして、前記第1のコンタクトホールの上部および前記第2のコンタクトホールを同時に形成する工程と、(e). 前記第1のコンタクトホールの上部の底に露出した前記第3の絶縁膜をエッチングして、前記第1のコンタクトホールの下部を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項3】 MISFETのソース領域またはドレン領域に接する第1のコンタクトホールおよび他のMISFETのゲート電極に接する第2のコンタクトホールを形成する半導体集積回路装置の製造方法であって、(a). 半導体基板上に導電膜および第1の絶縁膜を順次堆積した後、前記第1の絶縁膜および前記導電膜を順次エッチングして、前記導電膜によって構成されるゲート電極を形成し、同時に前記導電膜によって構成され、前記第2のコンタクトホールが接続される前記ゲート電極に隣接してダイミーゲート電極を形成する工程と、(b). 前記半導体基板上に第2の絶縁膜を堆積した後、前記第2の

絶縁膜を全面エッチングして、前記ゲート電極および前記ダイミーゲート電極の側壁に前記第2の絶縁膜によって構成されるサイドウォールスペーサを形成する工程と、(c). 前記半導体基板上に第3の絶縁膜を堆積した後、前記第2のコンタクトホールを形成する領域の前記第3の絶縁膜および前記第1の絶縁膜を順次エッチングして前記ゲート電極を露出させる工程と、(d). 前記半導体基板上に層間絶縁膜を形成した後、前記層間絶縁膜をエッチングして、前記第1のコンタクトホールの上部および前記第2のコンタクトホールを同時に形成する工程と、(e). 前記第1のコンタクトホールの上部の底に露出した前記第3の絶縁膜をエッチングして、前記第1のコンタクトホールの下部を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

10

20

30

30

40

50

【請求項4】 上下に位置する配線層を接続するスルーホールを形成する半導体集積回路装置の製造方法であって、(a). 半導体基板上に第1の層間絶縁膜を形成した後、前記第1の層間絶縁膜の上に下層の配線層を形成する工程と、(b). 前記半導体基板上に絶縁膜を堆積し、続いて前記半導体基板上に反射防止膜を塗布した後、前記スルーホールを形成する領域の前記反射防止膜および前記絶縁膜を順次エッチングして前記下層の配線層を露出させ、次いで、前記反射防止膜を除去する工程と、(c). 前記半導体基板上に第2の層間絶縁膜を形成した後、前記第2の層間絶縁膜をエッチングして、前記スルーホールを形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項5】 請求項2または3記載の半導体集積回路装置の製造方法において、前記第1の絶縁膜、前記第2の絶縁膜および前記第3の絶縁膜は窒化シリコン膜によって構成され、前記層間絶縁膜は酸化シリコン膜によって構成されることを特徴とする半導体集積回路装置の製造方法。

【請求項6】 請求項2または3記載の半導体集積回路装置の製造方法において、前記第2のコンタクトホールを形成する領域の前記ゲート電極を露出する際、前記半導体基板の素子分離領域に設けられたフィールド絶縁膜をエッチングプラズマに晒さないことを特徴とする半導体集積回路装置の製造方法。

【請求項7】 請求項2記載の半導体集積回路装置の製造方法において、前記反射防止膜、第3の絶縁膜および第1の絶縁膜はほぼ同じエッチング速度でエッチングされることを特徴とする半導体集積回路装置の製造方法。

【請求項8】 請求項4記載の半導体集積回路装置の製造方法において、前記第1の絶縁膜は窒化シリコン膜によって構成され、前記第1の層間絶縁膜および前記第2の層間絶縁膜は酸化シリコン膜によって構成されることを特徴とする半導体集積回路装置の製造方法。

【請求項9】 請求項4記載の半導体集積回路装置の製造方法において、前記スルーホールを形成する領域の前

記下層の配線層を露出する際、前記第1の層間絶縁膜をエッチングプラズマに晒さないことを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、M I S F E T (Metal Insulator Semiconductor Field Effect Transistor) を有する半導体集積回路装置の製造方法に関し、特に、自己整合コンタクトおよびボーダーレス・コンタクトによってM I S F E T のソース領域、ドレイン領域と配線層とが接続された半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】半導体集積回路装置の高集積化に伴って半導体素子の微細化が進んでおり、現在、最小加工寸法 $0.2 \sim 0.3 \mu\text{m}$ の加工技術によって半導体素子は形成されている。しかしながら、例えば、DRAM (Dynamic Random Access Memory) のメモリセルにおいては、メモリセル選択用M I S F E T のソース領域、ドレイン領域に接して設けられるコンタクトホールとゲート電極との合わせ余裕、および上記コンタクトホールと素子分離領域との合わせ余裕が小さくなり、フォトリソグラフィ技術の加工限界以下の寸法でコンタクトホールを形成する必要が生じている。そこで、上記コンタクトホールとゲート電極との合わせずれが許容できる自己整合コンタクト (Self Aligned Contact) および上記コンタクトホールと素子分離領域との合わせずれが許容できるボーダーレス・コンタクト (Borderless Contact) を用いたコンタクトホールの形成が検討されている。

【0003】次に、自己整合コンタクトおよびボーダーレス・コンタクトを適用したnチャネル型M I S F E T の製造方法を図22および図23を用いて説明する。

【0004】まず、図22に示すように、p型シリコン単結晶からなる半導体基板38の主面上に形成された浅い溝39に酸化シリコン膜40を埋め込むことによって素子分離用の埋め込み型浅溝アイソレーションを形成した後、半導体基板38の表面にゲート絶縁膜41を形成し、次いで、半導体基板38上にC V D (Chemical Vapor Deposition) 法でリン(P)を添加した多結晶シリコン膜(図示せず)および窒化シリコン膜42を順次堆積する。

【0005】次に、パターニングされたフォトレジストをマスクにして窒化シリコン膜42および多結晶シリコン膜を順次エッチングし、多結晶シリコン膜によって構成されるゲート電極43a、43bを形成した後、ゲート電極43aをマスクにして半導体基板38にn型不純物(例えば、P)を導入し、nチャネル型M I S F E T のソース領域、ドレイン領域の一部を構成する低濃度のn⁻型半導体領域44を形成する。

【0006】次いで、半導体基板38上に窒化シリコン

膜(図示せず)をC V D法で堆積した後、R I E (Reactive Ion Etching) 法による異方性エッチングによって、上記窒化シリコン膜を全面エッチングすることにより、ゲート電極43a、43bの側壁のみに窒化シリコン膜を残存させる。この窒化シリコン膜がオフセット領域を形成するためのサイドウォールスペーサ45となる。

【0007】次に、窒化シリコン膜42、ゲート電極43aおよびサイドウォールスペーサ45をマスクにして、半導体基板38にn型不純物(例えば、砒素(A s))を導入し、nチャネル型M I S F E T のソース領域、ドレイン領域の他の一部を構成する高濃度のn⁺型半導体領域46を形成する。

【0008】次いで、埋め込み型浅溝アイソレーションとコンタクトホールとの合わせずれを許容することができるボーダーレス・コンタクトを用いてn⁺型半導体領域46に接するコンタクトホールを形成するために、半導体基板38上に窒化シリコン膜47を堆積する。

【0009】次に、図23に示すように、半導体基板38上に酸化シリコン膜によって構成される層間絶縁膜48を形成した後、パターニングされたフォトレジストをマスクにして層間絶縁膜48をエッチングする。次いで、n⁺型半導体領域46上の窒化シリコン膜47を低ダメージ条件でエッチングすることにより、n⁺型半導体領域46に達するコンタクトホール49aを形成し、同時に、ゲート電極43b上の窒化シリコン膜47、42を順次エッチングして、ゲート電極43bに達するコンタクトホール49bを形成する。

【0010】n⁺型半導体領域46に達するコンタクトホール49aは、コンタクトホール49aとゲート電極43aとの合わせ余裕をとる必要がない自己整合コンタクトにより形成されている。すなわち、層間絶縁膜48のエッチングは、エッチング選択比の違いから窒化シリコン膜42、45、47で止まり、ゲート電極43aはエッチングされない。

【0011】この後、半導体基板41上に堆積した金属膜(図示せず)の表面を加工して埋め込み配線50を形成する。

【0012】なお、自己整合コンタクトおよびボーダーレス・コンタクトについては、例えば、アイ・イー・ディー・エム (International Electron Device Meetings "A Novel Borderless Contact/Interconnect Technology Using Aluminum Oxide Etch Stop for High Performance SRAM and logic" pp. 441~444, 1993) に記載されている。

【0013】

【発明が解決しようとする課題】本発明者は、自己整合コンタクトおよびボーダーレス・コンタクトを適用した前記nチャネル型M I S F E T の製造方法において、以下の問題点を見いだした。

【0014】すなわち、図24に示すように、 n^+ 型半導体領域46に達するコンタクトホール49aおよびゲート電極43bに達するコンタクトホール49bを形成する際、コンタクトホール49aの底の窒化シリコン膜47およびコンタクトホール49bの底の窒化シリコン膜47、42は同一工程にてエッチングされる。

【0015】しかし、埋め込み型アイソレーションとコンタクトホール49a、またはゲート電極43bとコンタクトホール49bに合わせずが生じ、さらに、酸化シリコン膜に対する窒化シリコン膜のエッチング選択性が小さいと、コンタクトホール49bの底の窒化シリコン膜47、42をエッチングしている間に、コンタクトホール49aの底の窒化シリコン膜47が全てエッチングされ、さらに、埋め込み型浅溝アイソレーションを構成する酸化シリコン膜40がオーバーエッチングされてしまう。

【0016】埋め込み型浅溝アイソレーションを構成する酸化シリコン膜40が削り込まれると、埋め込み型浅溝アイソレーションの端部で n^+ 型半導体領域46を形成していない半導体基板38にコンタクトホール49aが達し、埋め込み配線50が n^+ 型半導体領域46とp型の半導体基板38とに接続されて接合リードが生ずる。さらに、埋め込み型浅溝アイソレーションの厚さが局所的に薄くなり、この部分で埋め込み型配線50が半導体基板38に接近して埋め込み型浅溝アイソレーション下の半導体基板38が反転しやすくなる。

【0017】本発明の目的は、半導体集積回路装置の信頼度を向上することができる技術を提供することにある。

【0018】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0019】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。すなわち、

(1) 本発明の半導体集積回路装置の製造方法は、MISFETのソース領域またはドレイン領域に接する第1のコンタクトホールおよび他のMISFETのゲート電極に接する第2のコンタクトホールを形成する際、まず、半導体基板の主面上の素子分離領域にフィールド絶縁膜を形成した後、半導体基板上にゲート絶縁膜を形成し、次いで、半導体基板上に多結晶シリコン膜および第1の窒化シリコン膜を順次堆積する。次に、パターニングされたフォトレジストをマスクにして第1の窒化シリコン膜および多結晶シリコン膜を順次エッチングし、多結晶シリコン膜によって構成されるゲート電極を形成すると同時に、第2のコンタクトホールが接続されるゲート電極に隣接してダミーゲート電極を形成した後、半導体基板上に第2の窒化シリコン膜を堆積し、次いで、第2の窒化シリコン膜を全面エッチングして、ゲート電極の側壁にサイドウォールスペーサを形成する。次に、半導体基板上に第3の窒化シリコン膜を堆積した後、ゲート電極が露出するまで、パターニングされたフォトレジストをマスクにして第2のコンタクトホールを形成する領域の第3の窒化シリコン膜および第1の窒化シリコン膜を順次エッチングする。次に、半導体基板上に層間絶縁膜を形成した後、パターニングされたフォトレジストをマスクにして層間絶縁膜をエッチングして、MISFETのソース領域、ドレイン領域に達する第1のコンタクトホールの下部を形成するものである。

【0020】(2) また、本発明の半導体集積回路装置の製造方法は、MISFETのソース領域またはドレイン領域に接する第1のコンタクトホールおよび他のMISFETのゲート電極に接する第2のコンタクトホールを形成する際、まず、半導体基板の主面上の素子分離領域にフィールド絶縁膜を形成した後、半導体基板上にゲート絶縁膜を形成し、次いで、半導体基板上に多結晶シリコン膜および第1の窒化シリコン膜を順次堆積する。次に、パターニングされたフォトレジストをマスクにして第1の窒化シリコン膜および多結晶シリコン膜を順次エッチングし、多結晶シリコン膜によって構成されるゲート電極を形成すると同時に、第2のコンタクトホールが接続されるゲート電極に隣接してダミーゲート電極を形成した後、半導体基板上に第2の窒化シリコン膜を堆積し、次いで、第2の窒化シリコン膜を全面エッチングして、ゲート電極の側壁にサイドウォールスペーサを形成する。次に、半導体基板上に第3の窒化シリコン膜を堆積した後、ゲート電極が露出するまで、パターニングされたフォトレジストをマスクにして第2のコンタクトホールを形成する領域の第3の窒化シリコン膜および第1の窒化シリコン膜を順次エッチングする。次に、半導体基板上に層間絶縁膜を形成した後、パターニングされたフォトレジストをマスクにして層間絶縁膜をエッチングして、MISFETのソース領域、ドレイン領域に達する第1のコンタクトホールの下部を形成するものである。

【0021】(3) また、本発明の半導体集積回路装置の製造方法は、上下に位置する配線層を接続するスルーホールを形成する際、まず、半導体基板上に第1の層間絶縁膜を形成した後、第1の層間絶縁膜の上に下層の配

線層を形成し、次いで、半導体基板上に窒化シリコン膜を堆積し、続いて半導体基板上に反射防止膜を塗布する。次に、パターニングされたフォトレジストをマスクにしてスルーホールを形成する領域の下層の配線層が露出するまで、反射防止膜および窒化シリコン膜を順次エッティングした後、反射防止膜を除去する。次に、半導体基板上に第2の層間絶縁膜を形成した後、パターニングされたフォトレジストをマスクにして上層の第2の層間絶縁膜をエッティングして、下層の配線層に接するスルーホールを形成するものである。

【0022】上記した手段(1)および(2)によれば、MISFETのソース領域、ドレイン領域に接する第1のコンタクトホールおよび他のMISFETのゲート電極に接する第2のコンタクトホールを形成する工程の前に、上記ゲート電極上の第1の窒化シリコン膜および第3の窒化シリコン膜を除去して、ゲート電極を露出させているので、上記第1のコンタクトホールはソース領域、ドレイン領域上の層間絶縁膜および第3の窒化シリコン膜を順次エッティングして形成され、上記第2のコンタクトホールはゲート電極上の層間絶縁膜をエッティングして形成される。

【0023】従って、MISFETのソース領域、ドレイン領域に接する第1のコンタクトホールを形成する際、第1のコンタクトホールの底の第3の窒化シリコン膜は必要以上にオーバーエッティングされないので、素子分離用のフィールド絶縁膜と第1のコンタクトホールに合わせずれが生じても、素子分離領域の端部のフィールド絶縁膜を削り込むことがない。

【0024】また、他のMISFETのゲート電極に接する第2のコンタクトホールを形成する際、ゲート電極の側面が第2の窒化シリコン膜および第3の窒化シリコン膜で覆われているので、ゲート電極と第2のコンタクトホールの合わせ余裕が大きくなり、フィールド絶縁膜が削れにくくなる。

【0025】上記した手段(3)によれば、下層の配線層の上に設けられた第2の層間絶縁膜にスルーホールを形成する際、下層の配線層とスルーホールに合わせずれが生じても、第1の層間絶縁膜の表面および下層の配線層の側面が、窒化シリコン膜で覆われているので、第1の層間絶縁膜を削り込むことがない。

【0026】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0027】なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0028】(実施の形態1) 本発明の一実施の形態であるnチャネル型MISFETの製造方法を図1～図2を用いて説明する。

【0029】まず、図1に示すように、p型シリコン単

結晶で構成された半導体基板1の表面に酸化シリコン膜2および窒化シリコン膜3を順次形成した後、パターニングされたフォトレジストをマスクにして素子分離領域の窒化シリコン膜3、酸化シリコン膜2および半導体基板1を順次エッティングして、半導体基板1に深さ約350nmの浅い溝4を形成する。

【0030】フォトレジストを除去した後、半導体基板1に熱処理を施し、浅い溝4が形成された半導体基板1の表面に10～20nmの酸化シリコン膜(図示せず)

10 を形成する。次いで、TEOS(Tetra Ethyl Ortho Silicate; Si₄O₁₀(OC₂H₅)₄)ガスを原料に用いたプラズマCVD法によって半導体基板1上に酸化シリコン膜5を堆積した後、半導体基板1上に窒化シリコン膜6を堆積し、次いで、パターニングされたフォトレジストをマスクにして比較的広い面積の浅い溝4の酸化シリコン膜5上に上記窒化シリコン膜6を残す。

【0031】次に、図2に示すように、この酸化シリコン膜6の表面をCMP(Chemical Mechanical Polishing; 化学的機械研磨)法によって平坦化することによつて埋め込み型溝アイソレーションを形成する。この際、窒化シリコン膜6を設けたことによって広い面積の浅い溝4および狭い面積の浅い溝4にほぼ均一な厚さの酸化シリコン膜5を埋め込むことができる。

【0032】次に、MISFETのチャネル領域となる半導体基板1の表面にp型不純物(例えば、ボロン(B))を導入して、しきい値電圧制御層7を形成した後、半導体基板1の表面にゲート絶縁膜8を形成し、次いで、半導体基板1上にCVD法によってPを添加した多結晶シリコン膜9および窒化シリコン膜10を順次堆積する。

【0033】次に、図3に示すように、パターニングされたフォトレジストをマスクにして窒化シリコン膜10および多結晶シリコン膜9を順次エッティングし、多結晶シリコン膜9によって構成されるゲート電極11a, 11bを形成する。窒化シリコン膜10は、後に自己整合コンタクトによりコンタクトホールを形成する際、コンタクトホールとゲート電極11a, 11bとの分離を確実に行うために設けられている。

【0034】次に、窒化シリコン膜10およびゲート電極11aをマスクにして半導体基板1にn型不純物(例えば、リン(P))を導入し、nチャネル型MISFETのソース領域、ドレイン領域の一部を構成する低濃度のn-型半導体領域12を形成する。次いで、半導体基板1上にCVD法によって窒化シリコン膜13を堆積する。窒化シリコン膜13の厚さは、例えば50～200nmである。

【0035】次に、図4に示すように、窒化シリコン膜13をRIE法による異方性エッティングによって全面エッティングし、ゲート電極11a, 11bの側壁にサイドウォールスペーサ14を形成した後、窒化シリコン膜1

0、ゲート電極11aおよびサイドウォールスペーサ14をマスクにして、半導体基板1にn型不純物（例えば、砒素（As））を導入し、nチャネル型MISFETのソース領域、ドレイン領域の他の一部を構成する高濃度のn⁺型半導体領域15を形成する。n⁺型半導体領域15の拡散深さは約0.1μmである。

【0036】次に、図5に示すように、半導体基板1上にCVD法によって窒化シリコン膜16を堆積した後、半導体基板1上に反射防止膜（Bottom Anti-Reflective Coating；BARC）17を塗布して、隣接するゲート電極11a、11b間のスペースを埋め込む。窒化シリコン膜16の厚さは、例えば10～100nmである。次いで、半導体基板1上に塗布したフォトレジスト18をパターニングして、後に配線層を接続するゲート電極11b上のフォトレジスト18にホールパターン19を形成する。

【0037】次に、図6に示すように、パターニングされたフォトレジスト18をマスクにしてゲート電極11b上の反射防止膜17、窒化シリコン膜16および窒化シリコン膜10を順次エッチングし、ゲート電極11bを露出させる。この際、例えば、狭電極RIE装置でCHF₃+CF₄ガス系を用いてエッチングすると、反射防止膜17のエッチング速度と窒化シリコン膜16、10のエッチング速度はほぼ同じとなる。

【0038】次に、図7に示すように、酸素（O₂）ガスを用いてフォトレジスト18および反射防止膜17をアシシャ除去した後、図8に示すように、半導体基板1上に層間絶縁膜20を形成し、次いで、層間絶縁膜20を加工するためにフォトレジスト21をパターニングする。層間絶縁膜20は、例えばTEOSをソースとしたプラズマCVD法で酸化シリコン膜を形成し、次に、SOG（Spin On Glass）を塗布した後に、SOGをRIE法でエッヂバックしてその表面に平坦化処理を施し、再度TEOSをソースとしたプラズマCVD法で酸化シリコン膜を形成する3層構造の絶縁膜が用いられる。

【0039】次に、図9に示すように、パターニングされたフォトレジスト21をマスクにして層間絶縁膜20をエッチングし、n⁺型半導体領域15上にコンタクトホール22aの上部を形成し、ゲート電極11bに接してコンタクトホール22bを形成する。例えば、狭電極RIE装置でC₄F₈+COガス系を用いると、エッチング選択比の違いから、層間絶縁膜20のエッチングは、n⁺型半導体領域15上に設けられた窒化シリコン膜16、多結晶シリコン膜9によって構成されたおよびゲート電極11bおよび窒化シリコン膜13によって構成されたサイドウォールスペーサ14でほぼ停止する。

【0040】n⁺型半導体領域15上にコンタクトホール22aの上部を形成する際、ゲート電極11a上の窒化シリコン膜10、および窒化シリコン膜13によって構成されたサイドウォールスペーサ14によってコンタ

クトホール22aの上部とゲート電極11aとは確実に電気的に分離することができる。

【0041】次に、図10に示すように、半導体基板1にO₂ガスでアシシャ処理を施して、フォトレジスト21、ならびにコンタクトホール22aの上部およびコンタクトホール22bの底の堆積物を除去する。次いで、図11に示すように、コンタクトホール22aの上部の底の窒化シリコン膜16をエッチングして、コンタクトホール22aの下部を形成することにより、n⁺型半導体領域15に接するコンタクトホール22aが形成される。

【0042】例えば、ダウンフロータイプの低ダメージアシシャ装置でCHF₃+O₂ガス系を用いた等方性エッチング、または狭電極RIEエッチング装置でCHF₃+O₂ガス系を用いた異方性エッチングによって窒化シリコン膜14はエッチングされ、この際、埋め込み型浅溝アイソレーションを構成する酸化シリコン膜5に對して、窒化シリコン膜16を選択的に除去することができる。

【0043】例えば、窒化シリコン膜16の厚さが100nm、窒化シリコン膜16のオーバーエッチング量が50%、酸化シリコン膜5に対する窒化シリコン膜16のエッチング選択比が2の場合、酸化シリコン膜5の削り込まれる深さは、n⁺型半導体領域15の拡散深さ0.1μmよりも浅い0.025μmとなる。

【0044】次に、図12に示すように、半導体基板1上に多結晶シリコン膜またはタンクステン膜などの導電膜23を堆積した後、CMP法によって上記導電膜23の表面を平坦化することにより、コンタクトホール22a、22b内に導電膜23を埋め込み、次いで、図には示さないが、これら導電膜23に接して配線層を形成する。

【0045】このように、本実施の形態1によれば、n⁺型半導体領域15に接するコンタクトホール22aとゲート電極11bに接するコンタクトホール22bを形成する工程の前に、ゲート電極11b上の窒化シリコン膜10、16を除去して、ゲート電極11bを露出させているので、上記コンタクトホール22aはn⁺型半導体領域15上の層間絶縁膜20および窒化シリコン膜16を順次エッチングして形成され、上記コンタクトホール22bはゲート電極11b上の層間絶縁膜20をエッチングして形成される。従って、n⁺型半導体領域15に接するコンタクトホール22aの形成において、素子分離用の埋め込み型浅溝アイソレーションとコンタクトホール22aに合わせずが生じても、コンタクトホール22aの底の窒化シリコン膜16を必要以上にオーバーエッチングしなくてもよいので、素子分離領域の端部の埋め込み型浅溝アイソレーションを構成する酸化シリコン膜5を削り込むことがない。また、ゲート電極11b上に接するコンタクトホール22bの形成において、

ゲート電極11bとコンタクトホール22bに合わせず
れが生じても、ゲート電極11bの側面は窒化シリコン
膜14, 16で覆われているので、埋め込み型浅溝アイ
ソレーションを構成する酸化シリコン膜5が削れにくく
なる。

【0046】さらに、ゲート電極11b上の窒化シリコン
膜10, 16を除去する際、フォトレジスト18のホ
ールパターン19とゲート電極11bに合わせずれが生
じても、ゲート電極11bは窒化シリコン膜10, 16
のエッチング速度とほぼ同じエッチング速度の反射防止
膜で覆われているので、埋め込み型浅溝アイソレーシ
ョンを構成する酸化シリコン膜5が削れにくくなる。

【0047】(実施の形態2) 本発明の他の実施の形態
であるnチャネル型MISFETの製造方法を図13～
図16を用いて説明する。

【0048】まず、図13に示すように、前記実施の形
態1と同様な製造方法で、半導体基板1の主面上に酸化
シリコン膜5によって構成される埋め込み型浅溝アイソ
レーション、しきい値電圧制御層7、ゲート絶縁膜8、
ゲート電極11a, 11bおよびn⁻型半導体領域12を順次形成する。

【0049】ゲート電極11a, 11bは、例えば多結晶シリコン膜によって構成されており、後に自己整合コ
ンタクトを形成する際にコンタクトホールとゲート電極との分離を確実に行うための窒化シリコン膜10が、ゲ
ート電極11a, 11b上に形成されている。さらに、後に配線層が接続されるゲート電極11bに隣接して、
ゲート電極11a, 11bと同じ多結晶シリコン膜によって構成されるダミーゲート電極24が設けられている。

【0050】次に、図14に示すように、半導体基板1
上に堆積した窒化シリコン膜(図示せず)をRIE法で
エッチングして、ゲート電極11bおよびダミーゲート
電極24の側壁にサイドウォールスペーサ25を形成し
た後、窒化シリコン膜10、ゲート電極11aおよびサ
イドウォールスペーサ25をマスクにして、半導体基板
1にn型不純物を導入し、nチャネル型MISFETの
ソース領域、ドレイン領域の他の一部を構成する高濃度
のn⁺型半導体領域26を形成する。

【0051】次に、図15に示すように、半導体基板1
上に窒化シリコン膜27を堆積して、ゲート電極11b
とダミーゲート電極24との間を窒化シリコン膜27で
埋め込んだ後、パターニングされたフォトレジスト28
をマスクにしてゲート電極11b上の窒化シリコン膜2
7, 10を加工し、ゲート電極11bを露出させる。

【0052】この後、図16に示すように、フォトレジ
スト28を除去した後、前記実施の形態1と同様な製造
方法で半導体基板1上に層間絶縁膜20を形成し、次い
で、パターニングされたフォトレジストをマスクにして
層間絶縁膜20をエッチングして、n⁺型半導体領域2

6上にコンタクトホール22aの上部を形成し、ゲート
電極11bに達するコンタクトホール22bを形成す
る。その後、コンタクトホール22aの上部の底の窒化
シリコン膜27をエッティングして、n⁺型半導体領域2
6に達するコンタクトホール22aの下部を形成し、次
いで、コンタクトホール22a, 22b内に導電膜23
を埋め込む。

【0053】このように、本実施の形態2によれば、ゲ
ート電極11bに接するコンタクトホール22bを形成す
る際、ゲート電極11bとコンタクトホール22bに
合わせずれが生じても、窒化シリコン膜25, 27がゲ
ート電極11bとダミーゲート電極24との間に埋め込
まれているので、埋め込み型浅溝アイソレーションを構
成する酸化シリコン膜5が削れにくくなる。

【0054】さらに、ゲート電極11b上の窒化シリコン
膜25, 27を除去する際、フォトレジスト28のホ
ールパターンとゲート電極11bに合わせずれが生じて
も、ゲート電極11bは窒化シリコン膜25で覆われて
いるので、埋め込み型浅溝アイソレーションを構成する
酸化シリコン膜5は削れにくくなる。

【0055】(実施の形態3) 本発明の他の実施の形態
である上下の配線層を接続するスルーホールの製造方法
を図17～図21を用いて説明する。

【0056】まず、図17に示すように、半導体素子が
形成された半導体基板29上に層間絶縁膜30を形成し
た後、半導体基板29上に金属膜(図示せず)を堆積
し、次いで、パターニングされたフォトレジストをマス
クにしてこの金属膜をエッチングすることにより、配線
層31を形成する。層間絶縁膜30は、例えばプラズマ
CVD法+SOGエッチバッキ+プラズマCVD法によ
って形成される3層構造の絶縁膜であり、配線層31は
窒化チタン膜、アルミニウム合金膜および窒化チタン膜
からなる積層膜である。

【0057】次に、図18に示すように、半導体基板2
9上に厚さ約10～100nmの窒化シリコン膜32を
堆積した後、半導体基板1上に反射防止膜33を塗布す
る。次いで、図19に示すように、半導体基板29上に
フォトレジスト34を塗布し、パターニングした後、反
射防止膜33および窒化シリコン膜32を順次加工し
て、配線層31を露出させる。

【0058】次に、図20に示すように、フォトレジ
スト34および反射防止膜33をアッシャ除去した後、半
導体基板29上に、例えばプラズマCVD法+SOGエ
ッチバッキ+プラズマCVD法によって形成される3層
構造の層間絶縁膜35を堆積する。

【0059】次に、図21に示すように、パターニング
されたフォトレジスト36をマスクにして層間絶縁膜3
5をエッチングし、配線層31上にスルーホール37を
形成する。この後、図示はしないが、フォトレジスト3
50をアッシャ除去した後、半導体基板29上に金属膜を

堆積して上層の配線層を形成する。

【0060】このように、本実施の形態3によれば、配線層31とスルーホール37に合わせずれが生じても、配線層31の側面および層間絶縁膜30の表面は、窒化シリコン膜32で覆われているので、層間絶縁膜30を削り込むことがない。

【0061】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0062】例えば、前記実施の形態1または2では、多結晶シリコン膜によって構成されたゲート電極を有するMISFETに適用した場合について説明したが、メタルシリサイド膜（例えば、モリブデンシリサイド（MoSi）膜、タンゲステンシリサイド（WSi₂）膜）と多結晶シリコン膜との積層膜からなるポリサイドゲート電極、またはメタル膜（例えば、タンゲステン（W）膜と窒化タンゲステン（WN）膜との積層膜、タンゲステン（W）膜と窒化チタン（TiN）膜との積層膜）と多結晶シリコン膜との積層膜からなるメタルゲート電極を有するMISFETにも適用可能である。

【0063】また、例えば、前記実施の形態1または2では、隣接する半導体素子間を互いに電気的に分離する素子分離領域が埋め込み型浅溝アイソレーションによって構成されたMISFETに適用した場合について説明したが、その他のアイソレーション、例えばLOCOS（Local Oxidation of Silicon）アイソレーションによって構成されたMISFETにも適用可能であり、前記実施の形態1、2と同様な効果が得られる。

【0064】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0065】本発明によれば、MISFETのソース領域、ドレイン領域に接するコンタクトホールと素子分離用のフィールド絶縁膜との合わせずれ、または、MISFETのゲート電極に接するコンタクトホールとゲート電極との合わせずれが生じても、フィールド絶縁膜が削れにくくなり、素子分離領域の端部での接合リードを防止でき、また、素子分離領域下の半導体基板の導電型の反転が防止できるので、半導体集積回路装置の信頼度を向上することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態であるnチャネル型MISFETの製造方法を示す半導体基板の要部断面図である。

【図2】本発明の一実施の形態であるnチャネル型MISFETの製造方法を示す半導体基板の要部断面図である。

【図3】本発明の一実施の形態であるnチャネル型MISFETの製造方法を示す半導体基板の要部断面図である。

【図4】本発明の一実施の形態であるnチャネル型MISFETの製造方法を示す半導体基板の要部断面図である。

【図5】本発明の一実施の形態であるnチャネル型MISFETの製造方法を示す半導体基板の要部断面図である。

10 【図6】本発明の一実施の形態であるnチャネル型MISFETの製造方法を示す半導体基板の要部断面図である。

【図7】本発明の一実施の形態であるnチャネル型MISFETの製造方法を示す半導体基板の要部断面図である。

【図8】本発明の一実施の形態であるnチャネル型MISFETの製造方法を示す半導体基板の要部断面図である。

20 【図9】本発明の一実施の形態であるnチャネル型MISFETの製造方法を示す半導体基板の要部断面図である。

【図10】本発明の一実施の形態であるnチャネル型MISFETの製造方法を示す半導体基板の要部断面図である。

【図11】本発明の一実施の形態であるnチャネル型MISFETの製造方法を示す半導体基板の要部断面図である。

20 【図12】本発明の一実施の形態であるnチャネル型MISFETの製造方法を示す半導体基板の要部断面図である。

【図13】本発明の他の実施の形態であるnチャネル型MISFETの製造方法を示す半導体基板の要部断面図である。

【図14】本発明の他の実施の形態であるnチャネル型MISFETの製造方法を示す半導体基板の要部断面図である。

【図15】本発明の他の実施の形態であるnチャネル型MISFETの製造方法を示す半導体基板の要部断面図である。

40 【図16】本発明の他の実施の形態であるnチャネル型MISFETの製造方法を示す半導体基板の要部断面図である。

【図17】本発明の他の実施の形態であるnチャネル型MISFETの製造方法を示す半導体基板の要部断面図である。

【図18】本発明の他の実施の形態であるnチャネル型MISFETの製造方法を示す半導体基板の要部断面図である。

50 【図19】本発明の他の実施の形態であるnチャネル型MISFETの製造方法を示す半導体基板の要部断面図

である。

【図20】本発明の他の実施の形態であるnチャネル型MISFETの製造方法を示す半導体基板の要部断面図である。

【図21】本発明の他の実施の形態であるnチャネル型MISFETの製造方法を示す半導体基板の要部断面図である。

【図22】従来のnチャネル型MISFETの製造方法を示す半導体基板の要部断面図である。

【図23】従来のnチャネル型MISFETの製造方法を示す半導体基板の要部断面図である。

【図24】従来のnチャネル型MISFETの製造方法において生ずる不良現象を説明するための半導体基板の要部断面図である。

【符号の説明】

- 1 半導体基板
- 2 酸化シリコン膜
- 3 窒化シリコン膜
- 4 浅い溝
- 5 酸化シリコン膜
- 6 窒化シリコン膜
- 7 しきい値電圧制御層
- 8 ゲート絶縁膜
- 9 多結晶シリコン膜
- 10 窒化シリコン膜
- 11 a ゲート電極
- 11 b ゲート電極
- 12 n-型半導体領域
- 13 窒化シリコン膜
- 14 サイドウォールスペーサ
- 15 n+型半導体領域
- 16 窒化シリコン膜
- 17 反射防止膜
- 18 フォトレジスト
- 19 ホールパターン

20	層間絶縁膜
21	フォトレジスト
22 a	コンタクトホール
22 b	コンタクトホール
23	導電膜
24	ダミーゲート電極
25	サイドウォールスペーサ
26	n+型半導体領域
27	窒化シリコン膜
28	フォトレジスト
29	半導体基板
30	層間絶縁膜
31	配線層
32	窒化シリコン膜
33	反射防止膜
34	フォトレジスト
35	層間絶縁膜
36	フォトレジスト
37	スルーホール
38	半導体基板
39	浅い溝
40	酸化シリコン膜
41	ゲート絶縁膜
42	窒化シリコン膜
43 a	ゲート電極
43 b	ゲート電極
44	n-型半導体領域
45	サイドウォールスペーサ
46	n+型半導体領域
47	窒化シリコン膜
48	層間絶縁膜
49 a	コンタクトホール
49 b	コンタクトホール
50	埋め込み配線

【図1】

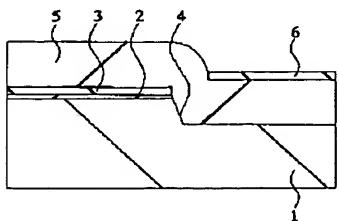


図 1

【図2】

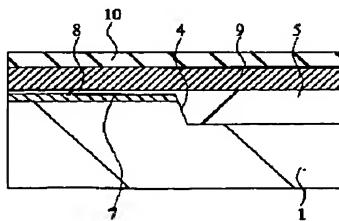


図 2

【図3】

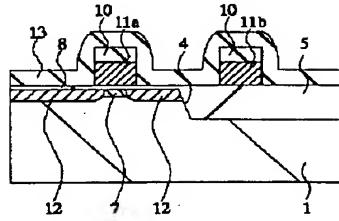
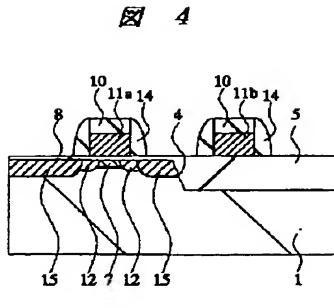
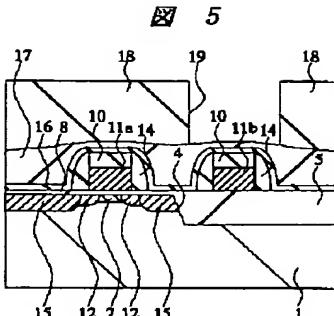


図 3

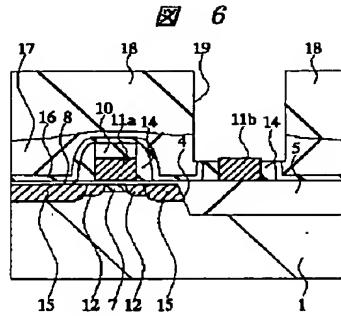
【図4】



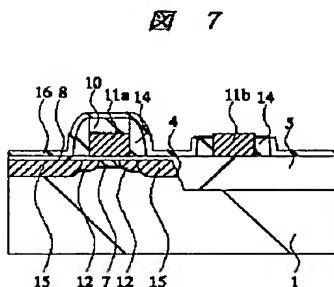
【図5】



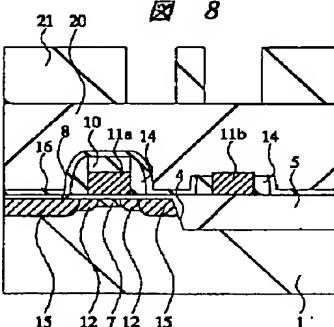
【図6】



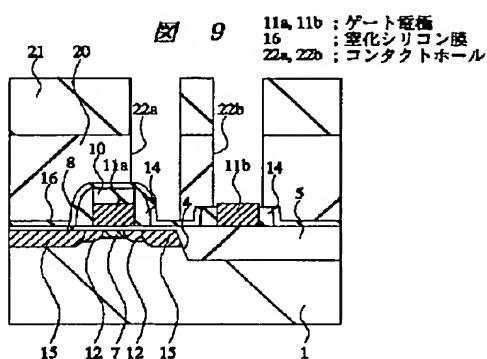
【図7】



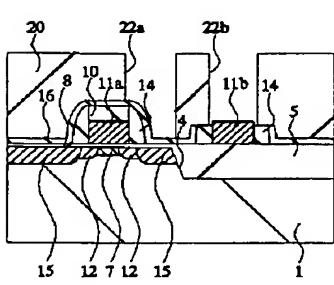
【図8】



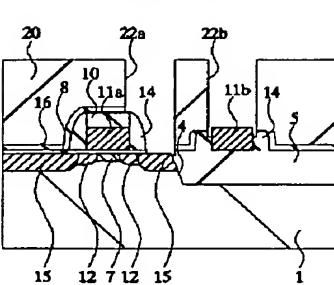
【図9】



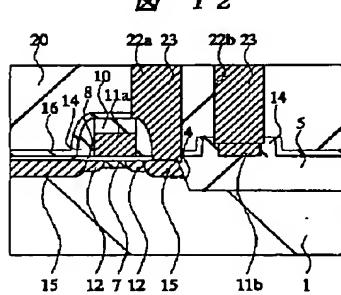
【図10】



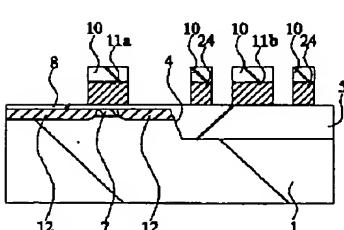
【図11】



【図12】

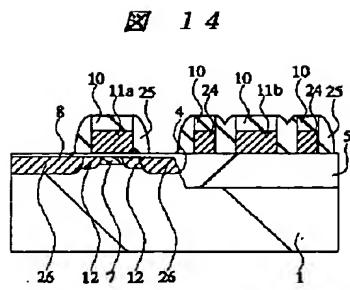


【図13】

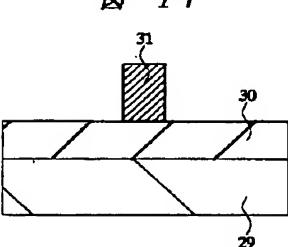


【図14】

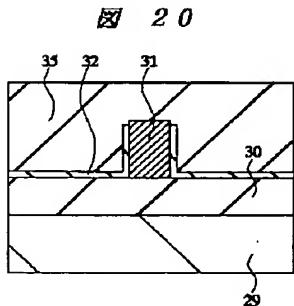
【図14】



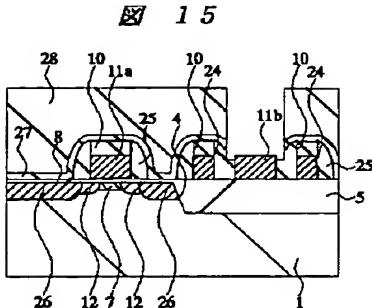
【図17】



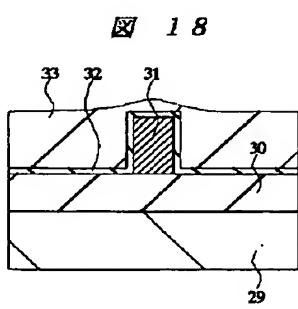
【図20】



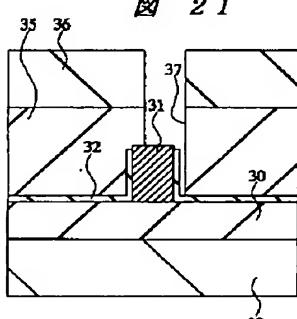
【図15】



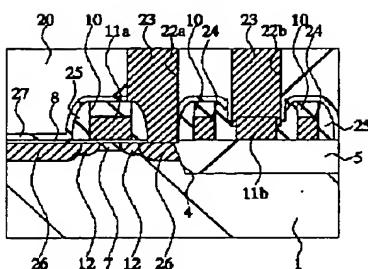
【図18】



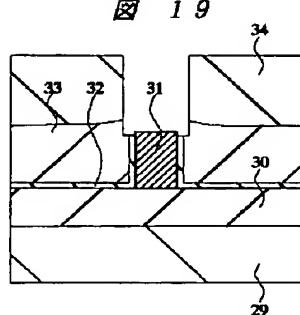
【図21】



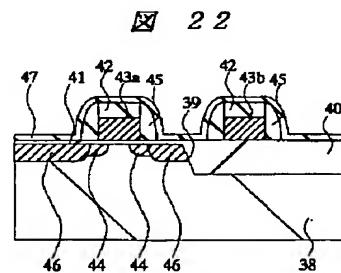
【図16】



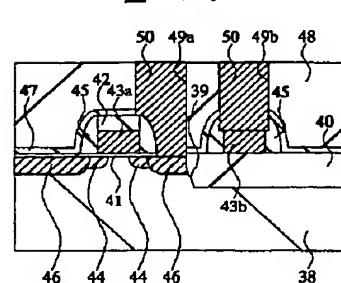
【図19】



【図22】



【図23】



【図23】

【図24】

図24

